

【特許請求の範囲】

【請求項 1】 差動の入力信号を受け取る容量ネットワーク部と、該容量ネットワーク部の出力を受け取るコンパレータ部とを具備するレシーバ回路であって、前記容量ネットワーク部は、電荷を蓄積する容量手段、および、該容量手段に対する前記入力信号の供給を制御するスイッチ手段を備え、前記コンパレータ部は、前記容量ネットワーク部の出力を増幅するインバータ、および、該インバータの出力を受け取り前記共通モード電圧を略一定の値に保つ共通モードフィードバック回路を備えていることを特徴とするレシーバ回路。

【請求項 2】 請求項 1 に記載のレシーバ回路において、前記容量ネットワーク部は、前記差動の入力信号における低周波数領域の共通モード電圧を低減し、且つ、前記コンパレータ部は、該差動の入力信号における高周波数領域の共通モード電圧を低減することを特徴とするレシーバ回路。

【請求項 3】 請求項 1 に記載のレシーバ回路において、前記容量ネットワーク部は、部分応答検出回路を構成するようになっていることを特徴とするレシーバ回路。

【請求項 4】 請求項 1 に記載のレシーバ回路において、該レシーバ回路は、さらに、前記コンパレータ部の入力に設けられたプリチャージ手段を備えていることを特徴とするレシーバ回路。

【請求項 5】 請求項 4 に記載のレシーバ回路において、前記プリチャージ手段は、前記コンパレータ部の入力に対して所定の電源電圧を印加してプリチャージを行うようになっていることを特徴とするレシーバ回路。

【請求項 6】 請求項 4 に記載のレシーバ回路において、前記プリチャージ手段は、前記コンパレータ部の入力に設けられたインバータの出力を入力にフィードバックしてプリチャージを行うようになっていることを特徴とするレシーバ回路。

【請求項 7】 請求項 1 に記載のレシーバ回路において、前記コンパレータ部に設けられたインバータは、定電流負荷のインバータであることを特徴とするレシーバ回路。

【請求項 8】 請求項 1 に記載のレシーバ回路において、前記コンパレータ部に設けられたインバータは、CMOS インバータであることを特徴とするレシーバ回路。

【請求項 9】 請求項 1 に記載のレシーバ回路において、前記共通モードフィードバック回路は、2 組の入力トランジスタ対を有する差動増幅器を含む検出部、および、カレントミラー接続されたフィードバック部を備えていることを特徴とするレシーバ回路。

【請求項 10】 請求項 1 に記載のレシーバ回路において、前記共通モードフィードバック回路は、一対の信

号線のそれぞれを増幅する 2 つの CMOS インバータの出力を互いに結合して共通モード電圧を検出する検出部を備えていることを特徴とするレシーバ回路。

【請求項 11】 請求項 1 に記載のレシーバ回路において、前記コンパレータ部に使用する増幅段は、全て CMOS インバータにより構成されていることを特徴とするレシーバ回路。

【請求項 12】 請求項 1 に記載のレシーバ回路において、前記コンパレータ部は、さらに、該コンパレータ部の出力信号の振幅を所定のレベル範囲以下に抑えるためのクランプ回路を備えていることを特徴とするレシーバ回路。

【請求項 13】 請求項 12 に記載のレシーバ回路において、前記所定のレベル範囲は、電源電圧の範囲であることを特徴とするレシーバ回路。

【請求項 14】 請求項 1 に記載のレシーバ回路において、前記コンパレータ部は、前記共通モードフィードバック回路の差動モードに対する増幅度を変化させる手段を備え、前記容量ネットワーク部から供給された信号を増幅後に差動モードの増幅度を大きくしてラッチ回路として動作させるようにしたことを特徴とするレシーバ回路。

【請求項 15】 差動ドライバ回路と、該差動ドライバ回路に接続され当該差動ドライバ回路からの差動信号を伝送するケーブルと、該ケーブルに接続され該差動信号を検出するレシーバ回路とを備えた信号伝送システムであって、前記レシーバ回路は、請求項 1 ～ 14 のいずれか 1 項に記載のレシーバ回路であることを特徴とする信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はレシーバ回路および信号伝送システムに関し、特に、高速の信号伝送を可能とするレシーバ回路に関する。近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、DRAM 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。具体的に、例えば、DRAM 等の主記憶装置とプロセッサとの間の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった筐体やボード（プリント配線基板）間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要となって来ている。そこで、より一

層の高精度で高速の信号伝送が可能なレシーバ回路および信号伝送システムの提供が要望されている。

【0002】

【従来の技術】図1は従来の信号伝送システムの一例を概略的に示す図である。図1において、参照符号101は差動ドライバ、102はケーブル、103は差動レシーバ（レシーバ回路）、そして、104は終端抵抗を示している。図1に示されるように、例えば、ボード間や筐体間（例えば、サーバと主記憶装置との間）の高速信号伝送では一般に差動の信号伝送が行われている。ここで、例えば、差動ドライバ101は信号の送信側であるサーバ（主記憶装置）に設けられ、また、レシーバ回路103は信号の受信側である主記憶装置（サーバ）に設けられている。また、レシーバ回路103の入力側（差動入力）には、終端電圧 V_{tt} に繋がれた終端抵抗104が設けられている。なお、差動信号（相補信号）による信号伝送は、ボード間や筐体間だけでなく、例えば、信号振幅が小さい場合等にはチップ内の素子や回路ブロック間等においても利用される。

【0003】

【発明が解決しようとする課題】ところで、図1に示すような従来の信号伝送システムにおいて、差動ドライバ101は、比較的に高速化が容易であるのに対して、レシーバ回路103を高速化するのは難しい面がある。そのため、例えば、サーバと主記憶装置との筐体間で信号伝送を行う場合には、レシーバ回路103の特性がそのままシステムの性能を決めてしまうことにもなっている。

【0004】具体的に、図1の信号伝送システムにおいて、送信側の差動ドライバ101からケーブルを介して伝送された差動信号は、受信側のレシーバ回路103に設けられた差動増幅器により差動増幅されるようになっている。そして、従来の信号伝送システムにおける高速動作の妨げとなっている要因としては、ケーブル102における信号の高周波成分の減衰やレシーバ回路103の差動増幅器の周波数帯域の制限等がある。すなわち、信号の伝送速度が数百メガ〜数ギガBPS (Bit/sec)といった高速になると、通常の差動増幅器では十分な高速動作を行うことが困難になって来た。

【0005】さらに、従来のレシーバ回路103は、要求される高速動作条件下において、共通モード電圧（差動信号を伝える2つの信号線の電圧の平均値）を有効に除去して高精度の信号伝送（信号検出）を十分に行うものとはいえなかった。なお、従来、共通モード電圧を除去するためにトランスを使用することがあったがこのようなトランスの使用は費用および占有容積等の面でも好ましいものではなかった。

【0006】本発明は、上述した従来の信号伝送技術に鑑み、高精度で高速の信号伝送が可能なレシーバ回路および信号伝送システムの提供を目的とする。

【0007】

【課題を解決するための手段】本発明の第1の形態によれば、差動の入力信号を受け取る容量ネットワーク部と、該容量ネットワーク部の出力を受け取るコンパレータ部とを具備するレシーバ回路であって、前記容量ネットワーク部は、電荷を蓄積する容量手段、および、該容量手段に対する前記入力信号の供給を制御するスイッチ手段を備え、前記コンパレータ部は、前記容量ネットワーク部の出力を増幅するインバータ、および、該インバータの出力を受け取り前記共通モード電圧を略一定の値に保つ共通モードフィードバック回路を備えていることを特徴とするレシーバ回路が提供される。

【0008】本発明の第2の形態によれば、差動ドライバ回路と、該差動ドライバ回路に接続され該差動ドライバ回路からの差動信号を伝送するケーブルと、該ケーブルに接続され該差動信号を検出するレシーバ回路とを備えた信号伝送システムであって、前記レシーバ回路は、差動の入力信号を受け取る容量ネットワーク部と、該容量ネットワーク部の出力を受け取るコンパレータ部とを具備し、前記容量ネットワーク部は、電荷を蓄積する容量手段、および、該容量手段に対する前記入力信号の供給を制御するスイッチ手段を備え、前記コンパレータ部は、前記容量ネットワーク部の出力を増幅するインバータ、および、該インバータの出力を受け取り前記共通モード電圧を略一定の値に保つ共通モードフィードバック回路を備えていることを特徴とする信号伝送システムが提供される。

【0009】本発明によれば、容量ネットワーク部は、電荷を蓄積する容量手段、および、該容量手段に対する入力信号の供給を制御するスイッチ手段を備え、また、コンパレータ部は、容量ネットワーク部の出力を増幅するインバータ、および、該インバータの出力を受け取り共通モード電圧を略一定の値に保つ共通モードフィードバック回路を備えている。これにより、高精度で高速の信号伝送が可能なレシーバ回路および信号伝送システムを提供することが可能となる。

【0010】図2は本発明に係るレシーバ回路の原理構成を示す図である。図2において、参照符号1は容量ネットワーク部、また、2はコンパレータ部を示している。容量ネットワーク部1は、スイッチ11〜16および容量17、18で構成されている。そして、レシーバ回路の一方の入力 V_+ は、直列に設けられたスイッチ11および容量17を介してコンパレータ部2の一方の入力（インバータ21の入力）に接続され、同様に、他方の入力 V_- は、直列に設けられたスイッチ14および容量18を介してコンパレータ部2の他方の入力（インバータ22の入力）に接続されている。

【0011】スイッチ11と容量17との接続ノード、および、スイッチ14と容量18との接続ノードには、それぞれスイッチ12および13を介して第1の参照電

圧Vref が印加されるようになっている。さらに、容量17とインバータ21との接続ノード、および、容量18とインバータ22との接続ノードには、それぞれスイッチ15および16を介して第2の参照電圧Vref'が印加されるようになっている。そして、この容量ネットワーク部1により差動信号に含まれるコモンモード電圧をある程度除去するようになっている。なお、コモンモード電圧とは、差動信号を伝える2つの信号線の電圧の平均値に対応する。

【0012】コンパレータ部2は、2つのインバータ21、22、および、コモンモードフィードバック回路3により構成され、供給された容量ネットワーク部1の出力を高速および高帯域で増幅すると共に、フィードバックによりコモンモード電圧をさらに除去するようになっている。図3は図2に示すレシーバ回路によるコモンモード電圧の除去を説明するための図であり、縦軸はコモンモード電圧除去比(CMR R: Common Mode voltage Rejection Ratio)であり、横軸は周波数(log f)である。

【0013】図3に示されるように、周波数が低い領域(例えば、直流領域〜数キロHz程度)A1では、レシーバ回路の容量ネットワーク部1によりコモンモード電圧が除去され、また、周波数が高い領域(例えば、数キロHz以上)A2では、レシーバ回路のコンパレータ部2によりコモンモード電圧がさらに除去されるようになっている。

【0014】すなわち、容量ネットワーク部1では、信号電圧の蓄積とコンパレータ部2の入力端子のプリチャージ、および、信号のコンパレータ部2への入力を交互に繰り返すことにより、差動信号に含まれるコモンモード電圧がある程度除去される。ここで、図3から明らかなように、容量ネットワーク部1により除去されるコモンモード電圧は周波数が低い程大きく、また、コモンモード電圧の直流成分に関しては、容量ネットワーク部1により十分に除去される。

【0015】コンパレータ部2では、ある程コモンモード電圧が除去された信号が増幅されるが、この増幅は通常の差動増幅器ではなく2つのインバータ21、22を用いた高速・高帯域の増幅となっている。さらに、インバータ21、22の出力に含まれるコモンモード電圧は、コモンモード電圧が一定となるようにフィードバックを行うコモンモードフィードバック回路3により除去されることになる。

【0016】このように、本発明のレシーバ回路は、通常の差動増幅器ではなくインバータ回路を増幅回路として用いることができるため、低電圧動作および高速動作を行うことができる。そして、本発明によれば、高精度で高速の信号伝送が可能なレシーバ回路および信号伝送システムの提供が可能になる。

【0017】

【発明の実施の形態】以下、本発明に係るレシーバ回路および信号伝送システムの実施例を図面を参照して詳述する。図4は本発明に係るレシーバ回路の第1実施例を示す回路図である。図4において、参照符号1は容量ネットワーク部、2はコンパレータ部、そして、コモンモードフィードバック回路3を示している。

【0018】容量ネットワーク部1は、前述した図2と同様に、スイッチ11〜16および容量17、18で構成されている。そして、レシーバ回路の一方の入力V+は、直列に設けられたスイッチ11および容量17を介してコンパレータ部2の一方の入力(インバータ21の入力)に接続され、同様に、他方の入力V-は、直列に設けられたスイッチ14および容量18を介してコンパレータ部2の他方の入力(インバータ22の入力)に接続されている。

【0019】スイッチ11と容量17との接続ノード、および、スイッチ14と容量18との接続ノードには、それぞれスイッチ12および13を介して第1の参照電圧Vref0が印加されるようになっている。さらに、容量17とインバータ21との接続ノード、および、容量18とインバータ22との接続ノードには、それぞれスイッチ15および16を介して第2の参照電圧Vref'が印加されるようになっている。そして、この容量ネットワーク部1により差動信号に含まれるコモンモード電圧(差動信号を伝える2つの信号線の電圧の平均値)をある程度除去するようになっている(図3の領域A1参照)。

【0020】ここで、第1の参照電圧Vref0は、レシーバ回路に繋がるインターフェース回路(例えば、筐体間を結ぶインターフェース回路)の規格等により決められるもので、例えば、インターフェース回路の信号振幅の中間の電圧として規定される。一方、第2の参照電圧Vref'は、レシーバ回路の内部回路に適した電圧とされ、例えば、後段のコンパレータ部2のインバータ21および22の動作が最適となるような電圧(バイアス電圧)として規定される。

【0021】容量ネットワーク部1では、第1のフェーズにおいて、スイッチ11および14をオフ状態でスイッチ12および13をオン状態にすると共に、スイッチ15および16をオン状態にして容量17および18の蓄積、並びに、コンパレータ部2の入力端子のプリチャージを行う。すなわち、後段のコンパレータ部2のインバータ21および22に対してその動作が最適となるようなバイアス電圧を印加する。さらに、第2のフェーズにおいて、スイッチ11および14をオン状態にすると共に、スイッチ12、13およびスイッチ15、16をオフ状態にして、容量17および18を介して差動信号(相補信号)の電圧をコンパレータ部2の入力(インバータ21および22)へ伝える。そして、上記第1のフェーズと第2のフェーズを交互に繰り返すことにより、

差動信号に含まれるコモンモード電圧をある程度除去することができる。なお、この容量ネットワーク部 1 により除去されるコモンモード電圧は周波数が低い程大きく、直流成分は十分に除去することができる。

【0022】コンパレータ部 2 は、2 つのインバータ 21、22、および、コモンモードフィードバック回路 3 により構成され、供給された容量ネットワーク部 1 の出力を高速および高帯域で増幅すると共に、フィードバックによりコモンモード電圧をさらに除去するようになっている。インバータ 21、22 は、P チャネル型 MOS トランジスタ (PMOS トランジスタ) 211、221 および N チャネル型 MOS トランジスタ (NMOS トランジスタ) 212、222 から成るシングルエンドのインバータとして構成されている。すなわち、各入力信号 (差動信号) は、それぞれ NMOS トランジスタ 212 および 222 のゲートに供給され、また、PMOS トランジスタ 211 および 221 は、それらトランジスタのゲートに所定のバイアス電圧 V_{cp} が印加されて定電流負荷を構成している。ここで、インバータ 21 および 22 は、入力容量 (ゲート容量) を低減してより高速化を図る場合には、図 4 に示すような NMOS トランジスタ入力の定電流負荷インバータが好ましいが、例えば、ケーブル (102) を介して信号を受け取る初段のドライバ回路の場合には、入力容量をさほど気にする必要がないため通常の CMOS 構成のインバータ (PMOS トランジスタおよび NMOS トランジスタの両方のゲートに対して共通に入力信号を供給するインバータ) により構成してもよい。

【0023】コモンモードフィードバック回路 3 は、入力トランジスタ対が 2 組あるカレントミラー差動増幅器として構成され、PMOS トランジスタ 311 および NMOS トランジスタ 312 ~ 318 から成る検出部 31、並びに、PMOS トランジスタ 321、322 および NMOS トランジスタ 3323、324 から成るフィードバック部 32 を備えている。検出部 31 は、基準電圧 V_{ref1} と各インバータ 21、22 の出力とを差動検出する 2 組のトランジスタ対 (トランジスタ 313、314 および 316、317) が共通のトランジスタ 311 および 312 に繋がれた構成とされている。また、フィードバック部 32 は、検出部 31 の出力が供給された 2 つの PMOS トランジスタ 321、322 および所定のバイアス電圧 V_{cn} が印加された 2 つの NMOS トランジスタ 323、324 により構成されている。そして、トランジスタ 321 および 323 の接続ノードがインバータ 21 の出力に接続され、また、トランジスタ 322 および 324 の接続ノードがインバータ 22 の出力に接続されるようになっている。なお、トランジスタ 315 および 318 のゲートにもバイアス電圧 V_{cn} が印加されている。

【0024】そして、コモンモードフィードバック回路

3 は、検出部 31 によりインバータ 21 および 22 の出力における電圧の和 (コモンモード電圧に相当) を取り、フィードバック部 32 によりコモンモード電圧を打ち消すようにフィードバックをかけるようになっている。なお、コモンモードフィードバック回路 3 は、容量ネットワーク部 1 によりある程度除去されたコモンモード電圧を、より一層高周波領域においても低減するようになっている (図 3 の領域 A2 参照)。

【0025】本第 1 実施例のレシーバ回路によれば、差動ゲインを得るためにインバータ 21、22 が使えるため低電圧動作が可能であり、容量ネットワーク部 1 と組み合わせているため簡単なコモンモードフィードバック回路 3 で大きなコモンモード電圧除去比 (CMRR) が得られると共に、高速動作が可能になる。図 5 は本発明に係るレシーバ回路の第 2 実施例を示す回路図であり、容量ネットワーク部 1 が PRD (Partial Response Detector: 部分応答検出回路) を構成するようになっている。図 5 において、参照符号 111、112、141、142、15、16 はスイッチ、そして、171、172、181、182 は容量を示している。

【0026】図 6 は図 5 に示すレシーバ回路における容量ネットワーク部 (PRD) の一構成例を示す回路図であり、また、図 7 は図 6 に示す容量ネットワーク部で使用する制御信号の一例を示すタイミング図である。図 6 に示されるように、容量ネットワーク部 1 は、容量 171、172、181、182、および、トランスファゲート 111、112、141、142、15、16 で構成されている。トランスファゲート 111 および 142 は制御信号 $\phi 2$ ($\phi 2$) によりスイッチング制御され、また、トランスファゲート 112、141、15 および 16 は制御信号 $\phi 1$ ($\phi 1$) によりスイッチング制御されている。ここで、信号 $\phi 1$ 、 $\phi 2$ は、それぞれ信号 $\phi 1$ 、 $\phi 2$ の反転論理の信号である。なお、クロック CLK に対する制御信号 $\phi 1$ および $\phi 2$ のタイミングは、図 7 に示す通りである。

【0027】図 8 は図 6 に示す容量ネットワーク部の動作を説明するための図である。図 6 に示す容量ネットワーク部 (PRD) は、制御信号 $\phi 1$ および $\phi 2$ を制御することにより、図 8 (a) および図 8 (b) に示す動作を交互に行う。すなわち、制御信号 $\phi 1$ が高レベル “H” ($\phi 1$ が低レベル “L”) で制御信号 $\phi 2$ が低レベル “L” ($\phi 2$ が高レベル “H”) のとき、図 8 (a) に示されるように、符号間干渉成分推定動作が行われ、また、制御信号 $\phi 1$ が低レベル “L” で制御信号 $\phi 2$ が高レベル “H” のとき、図 8 (b) に示されるように、信号判定動作が行われる。なお、符号間干渉成分推定動作が行われる期間には、コンパレータ (2) の入力ノードがプリチャージされるようになっている。

【0028】以上において、容量 171 および 182 の値を C1 とし、容量 172 および 181 の値を C2 とす

と、これらの容量の値 $C1$ 、 $C2$ を、次の式： $C1 / (C1 + C2) = (1 + \exp(-T/\tau)) / 2$ を満たすように決めれば符号間干渉は理論的には完全に推定することができる。ただし、理想状態ではこの式を満たすようにすればよいが、実際には寄生容量等が入るので、この式を満たすのに近い値の容量比に設定することになる。ここで、 τ はケーブル（バス）の時定数を示し、 T は 1 ビット分のデータがバスに現れる時間または 1 ビット分の周期を示している。

【0029】このように、本第 2 実施例のように、容量ネットワーク部として PRD を用いることにより、コモンモード電圧の除去の効果に加えて信号伝送路で生ずる符号間干渉を推定することができ、その結果、細い芯線を用いたケーブルでも高速信号を伝送することが可能になる。図 9 は本発明に係るレシーバ回路の第 3 実施例を示す回路図であり、前述した図 4 のレシーバ回路におけるスイッチ 15、16 およびインバータ 21、22 に対応するインバータ兼プリチャージ回路を示すものである。

【0030】図 9 に示されるように、本第 3 実施例では、コンパレータ部 2 の各入力に設けられるインバータ 21 および 22 の入出力をそれぞれトランジスタ 150、160 を介して接続し、負帰還をかけるようになっている。すなわち、コンパレータ部 2 の各入力に設けられシングルエンド（定電流負荷）のインバータ 211、212（221、222）の入力と出力との間にそれぞれゲートにプリチャージ制御信号 PCS が供給されたトランジスタ 150（160）を設けるようになっている。ここで、プリチャージ制御信号 PCS は、例えば、図 6 のトランスファゲート 15（16）の制御信号 $\phi 1$ と同様の信号を使用することができる。これにより、コンパレータ部 2 の各入力端子のプリチャージ動作と同時に、入力増幅段（インバータ 21 および 22）のオートゼロ動作も行うことができ、入力オフセット電圧の小さなコンパレータ部 2 を構成することが可能になる。

【0031】図 10 は本発明に係るレシーバ回路の第 4 実施例を示す回路図であり、コモンモードフィードバック回路 3 の一構成例を示すものである。また、図 11 は図 10 の回路図を書き換えた回路図を示している。図 10 に示されるように、本第 4 実施例では、コモンモードフィードバック回路 3 を 4 つの CMOS インバータ 301 ~ 304 で構成し、コンパレータ部 2 の入力増幅段のインバータ 21 および 22 の出力に対してインバータ 301 および 302 を設けてインバータ 21 の出力に帰還させると共に、インバータ 21 および 22 の出力に対してインバータ 303 および 304 を設けてインバータ 22 の出力に帰還させるようになっている。ここで、CMOS インバータ 301 ~ 304 は、電圧を電流に変換するトランスコンダクタとして使用され、インバータ 301 および 302 により 2 つの信号線（インバータ 21 お

よび 22 の出力）の電圧を電流に変換して加算し、一方の信号線（インバータ 21 の出力）に帰還させ、また、インバータ 303 および 304 により 2 つの信号線の電圧を電流に変換して加算し、他方の信号線（インバータ 22 の出力）に帰還させるようになっている。

【0032】ここで、図 10 に示す回路は、図 11 のように書き直すことができ、本第 4 実施例のコモンモードフィードバック回路 3 は、CMOS インバータ 301、304 の入出力をショートしたクランプ回路がそれぞれの信号線に設けられ、2 つの信号線の間に CMOS ラッチ回路（302、303）が設けられた構造としても解釈することができる。

【0033】本第 4 実施例では、コモンモードフィードバック回路 3 を全て CMOS インバータで構成することができ、さらに、該コモンモードフィードバック回路 3 の入力および出力線以外に接続されていない内部ノードが一切無いため、より一層低電圧および高速動作が可能になる。図 12 は本発明に係るレシーバ回路の第 5 実施例を示す回路図である。

【0034】図 11 と図 12 との比較から明らかなように、本第 5 実施例では、第 4 実施例におけるシングルエンドのインバータ 21 および 22 を CMOS インバータ 210 および 220 として構成し、さらに、図 9 に示す第 3 実施例と同様に、インバータ 210 および 220 に対して入出力接続するスイッチ 201 および 202（図 9 における NMOS トランジスタ 150 および 160 に対応）を設けて負帰還がかけられるようになっている。

【0035】本第 5 実施例によれば、コンパレータ部 2 の入力増幅段のインバータ 21 および 22（210 および 220）も含めて CMOS インバータで構成することになり、設計が容易となる。なお、本第 5 実施例においても、コンパレータ部 2 の入力増幅段およびコモンモードフィードバック回路 3 を全て CMOS インバータで構成することができるため、上述した第 4 実施例と同様に、低電圧および高速動作が可能である。

【0036】図 13 は本発明に係るレシーバ回路の第 6 実施例を示す回路図である。図 13 と図 12 との比較から明らかなように、本第 6 実施例では、第 5 実施例に対してクランプ回路（351、352）を設け、コンパレータ部 2 の出力振幅が電源電圧一杯に振れないように構成されている。すなわち、コンパレータ部 2 の出力（差動出力端）に対して NMOS トランジスタ 351 および 352 で構成されたクランプ回路を設け、コンパレータ部 2 の出力信号の振幅がその差動出力端にダイオード接続された NMOS トランジスタ 351、352 の順方向電圧を越えないようにクランプするようになっている。

【0037】図 14 は本発明に係るレシーバ回路の第 7 実施例を示す回路図である。本第 7 実施例は、上述した第 6 実施例と同様に、クランプ回路（371、372；

391, 392) を設けて、信号の出力振幅を小さく抑えるものである。すなわち、本第7実施例では、次段の増幅段であるインバータ306および307に対して、各インバータ306および307の入出力を結ぶクランプ回路371, 372および391, 392を設けるようにしたものである。なお、クランプ回路としては、第6実施例と同様に、例えば、それぞれ2つのNMOSトランジスタ371, 372; 391, 392により構成したものを使用している。

【0038】このように、本発明の第6実施例および第7実施例によれば、コンパレータ部2の出力振幅をクランプ回路によって小さく（所定のレベル範囲に）抑えることによって、より一層の高速動作が可能となる。図15は図14に示す第7実施例を適用した回路例を示す図である。図14と図15との比較から明らかなように、図15に示す回路例では、スイッチ201および202はトランスファゲートで構成され、スイッチング制御信号LAT（および、インバータ200）によりトランスファゲート201および202のスイッチングが制御されるようになっている。なお、インバータ301, 302, 303, 304はそれぞれCMOSインバータとして構成され、また、インバータ306および307入出力を結ぶクランプ回路は、それぞれ2つのNMOSトランジスタ371, 372および391, 392により構成されている。

【0039】図16は図15に示す回路（コンパレータ回路2）の後段の回路例を示す図である。図16に示されるように、コンパレータ回路2の後段には、PMOSトランジスタ401~404およびNMOSトランジスタ405~409で構成された差動増幅回路を介して、NANDゲート410および411で構成されたラッチ回路が設けられている。ここで、トランジスタ407および408のゲートには、それぞれ前段のコンパレータ部2の出力（差動出力）が供給されている。また、トランジスタ401, 404および409のゲートには高レベル“H”でラッチを行うラッチ制御信号SLが供給されている。なお、ラッチ制御信号SLが低レベル“L”のときはリセットが行われる。また、ラッチ回路（NANDゲート410および411）の出力はインバータ412を介して出力されるようになっている。

【0040】図17は本発明に係るレシーバ回路の第8実施例を示す回路図であり、図18は図17に示す第8実施例で使用する制御信号の一例を示すタイミング図である。図17に示されるように、本第8実施例では、例えば、図12に示す第5実施例において、スイッチ362, 363および382, 383により接続が制御されるインバータ361および381を各信号線に設け、コモンモードフィードバック回路3の持つ差動ゲインを変化させるよう構成されている。ここで、スイッチ201および202は、制御信号S1（図9におけるプリチャ

ージ制御信号PCSに対応）が高レベル“H”の時にオン状態となってインバータ210および220の入出力を接続（プリチャージ）し、また、スイッチ362, 363および382, 383は、制御信号S2が高レベル“H”の時にオン状態となってインバータ361および362を各信号線に接続するようになっている。

【0041】図18に示されるように、制御信号S2は、制御信号S1が高レベル“H”となるプリチャージ期間（リセット期間）の後の信号検出期間（測定期間）で所定時間だけ高レベル“H”となってコモンモードフィードバック回路3の差動ゲインを大きくし、さらに、制御信号S2は、制御信号S1が再び高レベル“H”となる直前のタイミングで低レベル“L”となってコモンモードフィードバック回路3をラッチ回路として動作させて信号をラッチする。これにより、前述したコンパレータ部2の後段に設けられるラッチ部（差動増幅回路およびラッチ回路等）を不要とし、回路を簡略化してより一層の高速化を図ることができるようになっている。

【0042】このように、本第8実施例によれば、入力オフセット電圧の小さな増幅器をラッチとしても動作させるため、高精度で高速な信号検出が可能になる。以上において、本発明の各実施例に係るレシーバ回路は、図1に示すような差動ドライバ回路（101）からの差動信号が伝送するケーブル（102）を介して供給されるような信号伝送システムに適用することができる。さらに、レシーバ回路は、サーバと主記憶装置或いはネットワークを介したサーバ間といった匡体やボード間の信号伝送だけでなく、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても適用することができる。

【0043】

【発明の効果】以上、詳述したように、本発明によれば、高精度で高速の信号伝送が可能なレシーバ回路および信号伝送システムを提供することができる。

【図面の簡単な説明】

【図1】従来の信号伝送システムの一例を概略的に示す図である。

【図2】本発明に係るレシーバ回路の原理構成を示す図である。

【図3】図2に示すレシーバ回路によるコモンモード電圧の除去を説明するための図である。

【図4】本発明に係るレシーバ回路の第1実施例を示す回路図である。

【図5】本発明に係るレシーバ回路の第2実施例を示す回路図である。

【図6】図5に示すレシーバ回路における容量ネットワーク部の一構成例を示す回路図である。

【図7】図6に示す容量ネットワーク部で使用する制御信号の一例を示すタイミング図である。

【図8】図6に示す容量ネットワーク部の動作を説明す

るための図である。

【図 9】本発明に係るレシーバ回路の第 3 実施例を示す回路図である。

【図 10】本発明に係るレシーバ回路の第 4 実施例を示す回路図である。

【図 11】図 10 の回路図を書き換えた回路図である。

【図 12】本発明に係るレシーバ回路の第 5 実施例を示す回路図である。

【図 13】本発明に係るレシーバ回路の第 6 実施例を示す回路図である。

【図 14】本発明に係るレシーバ回路の第 7 実施例を示す回路図である。

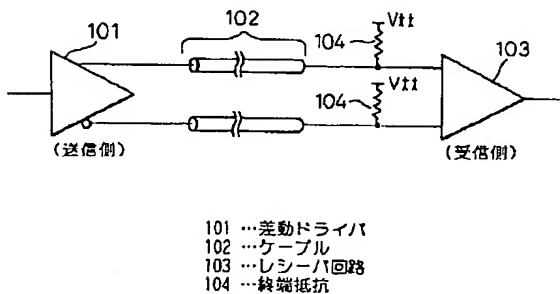
【図 15】図 14 に示す第 7 実施例を適用した回路例を示す図である。

【図 16】図 15 に示す回路の後段の回路例を示す図で

【図 1】

図 1

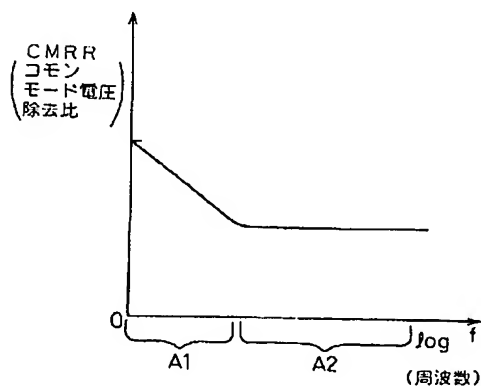
従来の信号伝送システムの一例を概略的に示す図



【図 3】

図 3

図 2 に示すレシーバ回路によるコモンモード電圧の除去を説明するための図



ある。

【図 17】本発明に係るレシーバ回路の第 8 実施例を示す回路図である。

【図 18】図 17 に示す第 8 実施例で使用する制御信号の一例を示すタイミング図である。

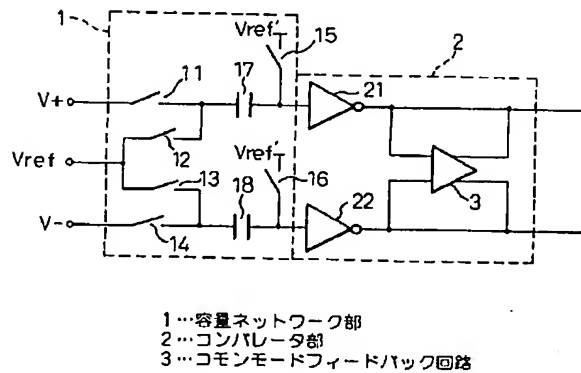
【符号の説明】

- 1 … 容量ネットワーク部
- 2 … コンパレータ部
- 21, 22 … インバータ
- 10 … コモンモードフィードバック回路
- 101 … 差動ドライバ
- 102 … ケーブル
- 103 … レシーバ回路
- 104 … 終端抵抗

【図 2】

図 2

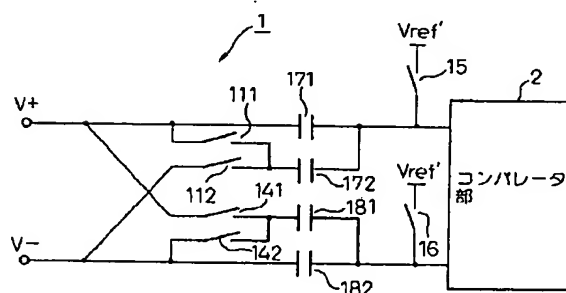
本発明に係るレシーバ回路の原理構成を示す図



【図 5】

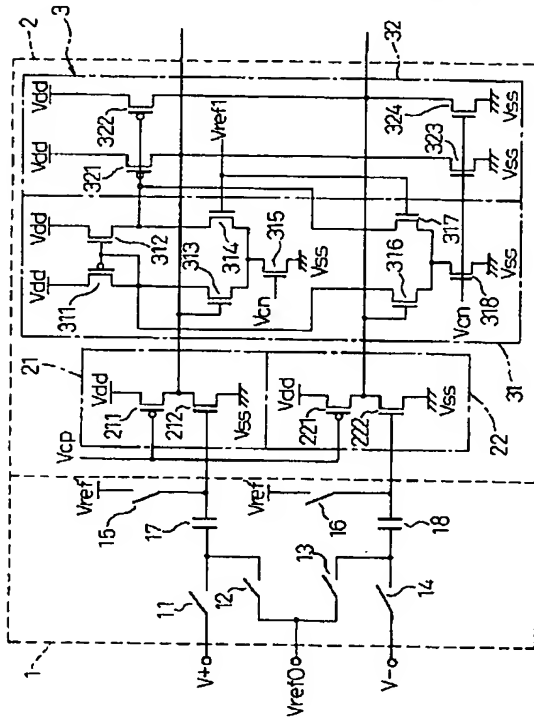
図 5

本発明に係るレシーバ回路の第 2 実施例を示す回路図



【図4】

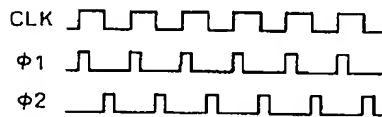
図4 本発明に係るレシーバ回路の第1実施例を示す回路図



【図7】

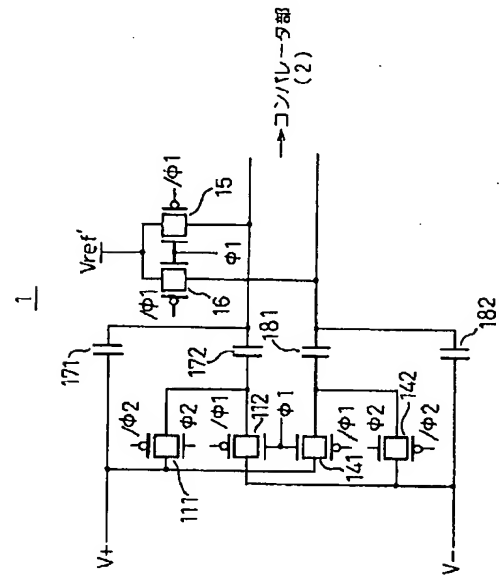
図7

図6に示す容量ネットワーク部で使用する制御信号の一例を示すタイミング図



【図6】

図6 図5に示すレシーバ回路における容量ネットワーク部の一構成例を示す回路図

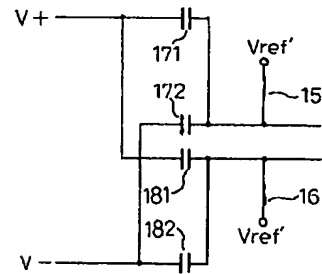


【図8】

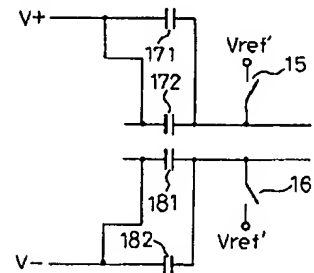
図8

図6に示す容量ネットワーク部の動作を説明するための図

(a) 符号間干渉成分推定動作



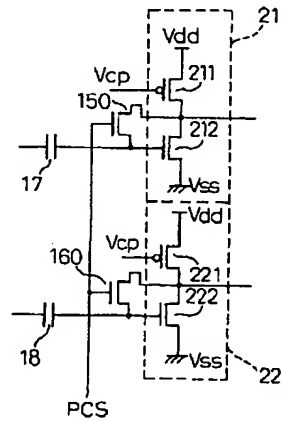
(b) 信号判定動作



【図 9】

図 9

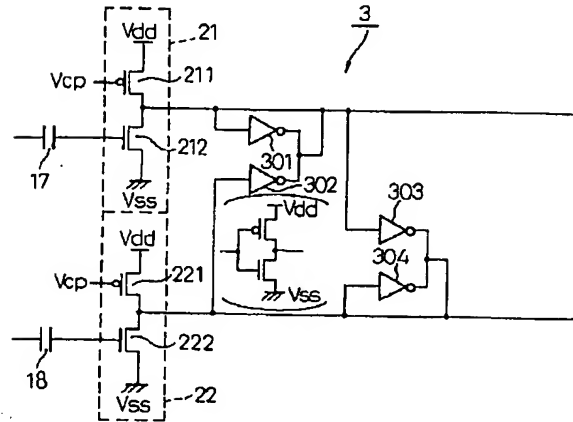
本発明に係るレシーバ回路の第 3 実施例を示す回路図



【図 10】

図 10

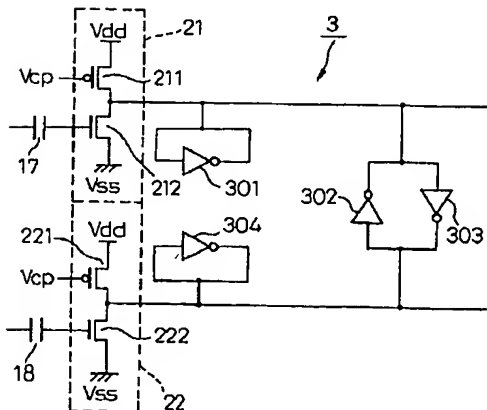
本発明に係るレシーバ回路の第 4 実施例を示す回路図



【図 11】

図 11

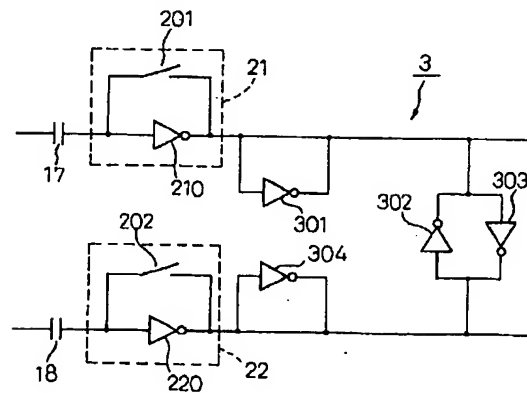
図 10 の回路図を書き換えた回路図



【図 12】

図 12

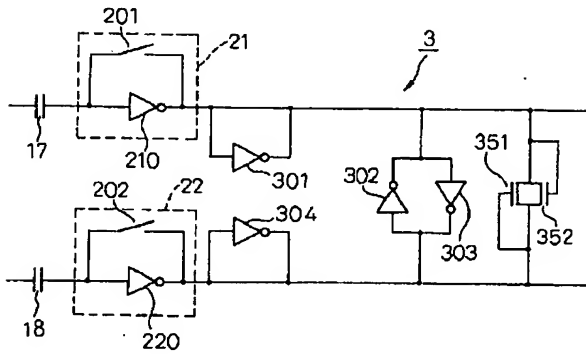
本発明に係るレシーバ回路の第 5 実施例を示す回路図



【図13】

図13

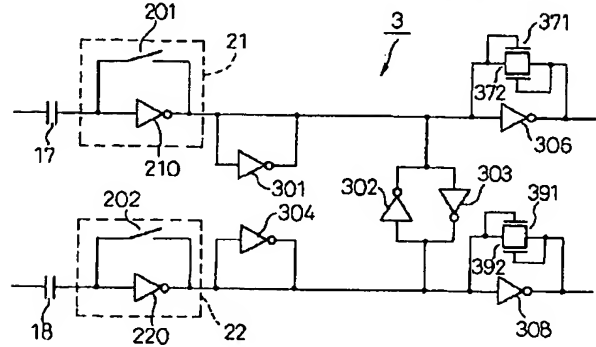
本発明に係るレシーバ回路の第6実施例を示す回路図



【図14】

図14

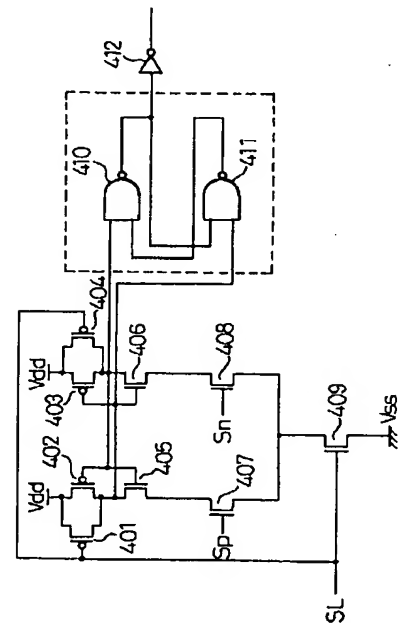
本発明に係るレシーバ回路の第7実施例を示す回路図



【図16】

図16

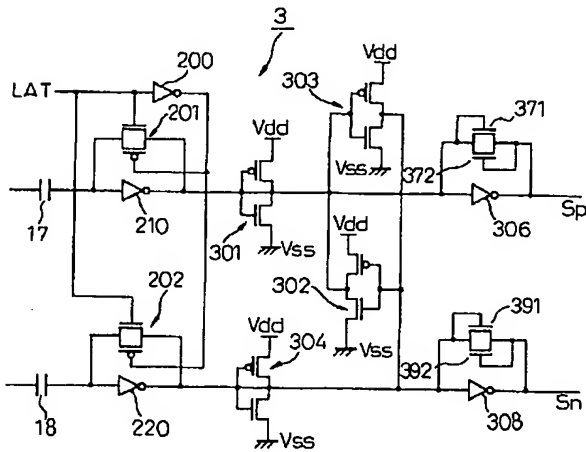
図15に示す回路の後段の回路例を示す図



【図15】

図15

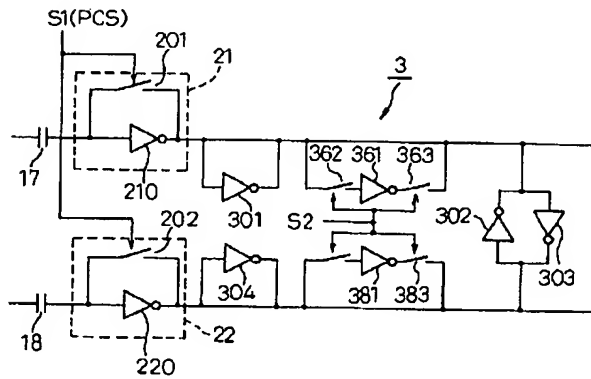
図14に示す第7実施例を適用した回路例を示す図



【図 17】

図 17

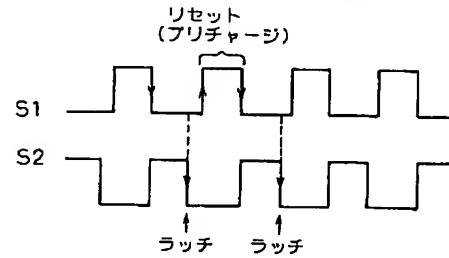
本発明に係るレシーバ回路の第 8 実施例を示す回路図



【図 18】

図 18

図 17 に示す第 8 実施例で使用する制御信号の一例を示すタイミング図



フロントページの続き

(72) 発明者 張 子誠
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

F ターム (参考) 5J056 AA01 AA05 BB02 CC02 CC09
CC12 CC14 CC19 DD29 DD51
EE07 FF08 GG06 KK01
5K029 AA11 DD02 GG07 HH01 LL06